

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **60193056 A**

(43) Date of publication of application: **01.10.85**

(51) Int. Cl.

G06F 11/22

(21) Application number: **59048714**

(22) Date of filing: **14.03.84**

(71) Applicant: **NEC CORP**

(72) Inventor: **KAWADA KAZUhide
HAGIWARA MISAO**

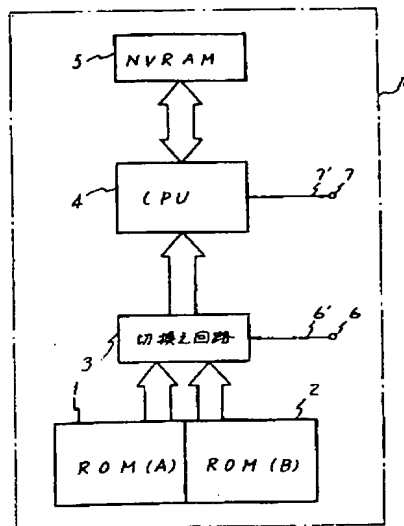
(54) **SINGLE CHIP MICROCOMPUTER**

(57) Abstract:

PURPOSE: To simplify the test of a nonvolatile memory by using a selection control means which performs said test by an external operation and according to a program stored in a test memory.

CONSTITUTION: A single chip microcomputer 10 contains a nonvolatile memory 5, an ROM2 which stores a program for test of the memory 5, a switch device 3 serving as a selection control means which performs the test of the memory 5 by a control signal 6' given to an external terminal 6 and according to the program stored in the ROM2, and a CPU4. In a test mode of the memory 5, the ROM2 is selected by the signal 6' and a test program is supplied to the CPU4. Then the CPU4 performs automatically the test of the memory 5 according to the test program and delivers the result or the intermediate process of the test to an external terminal 7 as an output signal 7'.

COPYRIGHT: (C)1985,JPO&Japio



Concise explanation of the relevance with respect to
Japanese Laid-Open Patent Application No. 193056/1985

A. Relevance to the Above-identified Document

The following is an English translation of passages related to claims 1, 3, 4, 6, 8, 10, 11 and 13 of the present invention.

B. Translation of the Relevant Passages of the Document

[CLAIM]

A single chip microcomputer having a built-in nonvolatile memory, characterized by including:

a test memory for storing a test program of said nonvolatile memory; and

selective control means for effecting a test on said nonvolatile memory from an external manipulation in accordance with said program stored in said test memory.

[DETAILED EXPLANATION OF THE INVENTION]

[OBJECT OF THE INVENTION]

The object of the present invention is to provide a single chip microcomputer capable of effecting a test on the built-in nonvolatile memory by removing the foregoing drawbacks without using any expensive external test device.

[ARRANGEMENT OF THE INVENTION]

A single chip microcomputer of the present invention is a single chip microcomputer having a built-in nonvolatile memory, including:

a test memory for storing a test program of the nonvolatile memory; and

selective control means for effecting a test on the nonvolatile memory from an external manipulation in accordance with the program stored in the test memory.

[EMBODIMENT]

A single chip microcomputer 10 is composed of a read-out-only memory (B) (hereinafter, referred to as ROM) 2 as a test memory for storing a test program of a NVRAM 5, a switching circuit 3 and a central processing unit (hereinafter, referred to CPU) 4 both serving as selective control means for effecting a test on the NVRAM 5 in accordance with the program stored in the ROM (B) 2 by a control signal 6' given to an external terminal 6.

⑫ 公開特許公報(A)

昭60-193056

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)10月1日

G 06 F 11/22

7343-5B

審査請求 未請求 発明の数 1 (全 3 頁)

⑮ 発明の名称 シングルチップマイクロコンピュータ

⑯ 特 願 昭59-48714

⑰ 出 願 昭59(1984)3月14日

⑱ 発 明 者 河 田 和 秀 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 発 明 者 萩 原 操 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

シングルチップマイクロコンピュータ

2. 特許請求の範囲

不揮発性メモリを内蔵するシングルチップマイクロコンピュータにおいて、前記不揮発性メモリテスト用のプログラムを格納するテスト用メモリと、該テストメモリに格納された前記プログラムに従がい前記不揮発性メモリのテストを外部からの操作により行なう選択制御手段とを含むことを特徴とするシングルチップマイクロコンピュータ。

3. 発明の詳細な説明

(技術分野)

本発明は不揮発性メモリを内蔵するシングルチップマイクロコンピュータに関する。

(従来技術)

不揮発性メモリ(以下、NVRAMという。)にお

ける不良の発生は、いわゆる浴槽曲線で知られるように、初期不良がかなりの割合を占める。そのため、初期不良をふるい落とすために、これらのテストにおいては、相当回数の書き込み、消去を繰返すことになり、この部分のテストにはかなりの時間を要する。しかもこれらのテストは、シングルチップマイクロコンピュータ(以下、シングルマイコンという。)外部のテスト装置よりのプログラムによっておこなわれている。そのため、一度にテストできるシングルマイコンの数は、外部のテスト装置の数に依存して決まることになる。ところでこのテスト装置としては、例えばLSIテストのような高価な装置を必要とするので、結果としてシングルマイコンのコストが高くなるという欠点があった。

(発明の目的)

本発明の目的は、上記の欠点を除去することにより、内蔵された不揮発メモリのテストを、外部の高価なテスト装置の必要なしに、簡単に行えるところのシングルチップマイクロコンピュータを

提供することにある。

(発明の構成)

本発明のシングルチップマイクロコンピュータは、不揮発メモリを内蔵するシングルマイクロコンピュータにおいて、前記不揮発性メモリテスト用のプログラムを格納するテストメモリと、該テストメモリに格納された前記プログラムに従がい前記不揮発性メモリのテストを外部からの操作により行なう選択制御手段とを含むことから構成される。

(実施例)

以下、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例の回路構成の要部を示すブロック図である。

本実施例は、NVRAM 5を内蔵するシングルチップマイコン10において、NVRAM 5テスト用のプログラムを格納するテストメモリとしての脱出し専用メモリ^(B)2(以下、ROM^(B)という。)2と、ROM^(B)2に格納された前記プログラムにしたが

以上、詳細説明したとおり、本発明のシングルチップマイクロコンピュータは、上記の構成により、従来のように外部からのプログラムによらず、シングルチップ内に組込まれたプログラムにしたがって自分自身で不揮発性メモリのテストをおこなうことができるため、簡単なテスト装置で不揮発性メモリのテストができるという効果を有している。

従って本発明によれば、非常に時間のかかる不揮発性メモリのテストにおいて、従来のようにLSIテストのような高価なテスト装置を用いる必要がなく、非常に簡単でかつ安価なテスト装置を用い、一度に多数のテストが行え、結果としてそのコストの低減化されたシングルチップマイクロコンピュータが得られる。

4. 図面の簡単な説明

第1図は本発明の一実施例の回路構成を示すブロック図である。

1, 2……脱出し専用メモリ、3……切換え回

路NVRAM 5のテストを外部端子6に与えられる制御信号6'により行なう選択制御手段としての切換え回路3と中央制御処理装置(以下、CPUという。)4とを含むことから構成される。なお同図において、ROM(A)1はユーザのコードを蓄込むROMであり、7は出力端子、7'は出力信号である。

次に、本実施例の動作について説明する。

NVRAM 5のテストを行なう場合は、切換え回路3は外部端子6に入力された制御信号6'によりROM(B)2を選択して、ROM(B)2にあらかじめ格納されているテストプログラムをCPU 4に入力する。CPU 4はそのプログラムに従い自動的にNVRAM 5をテストしてその結果あるいは途中経過を出力信号7'として外部端子7に出力する。

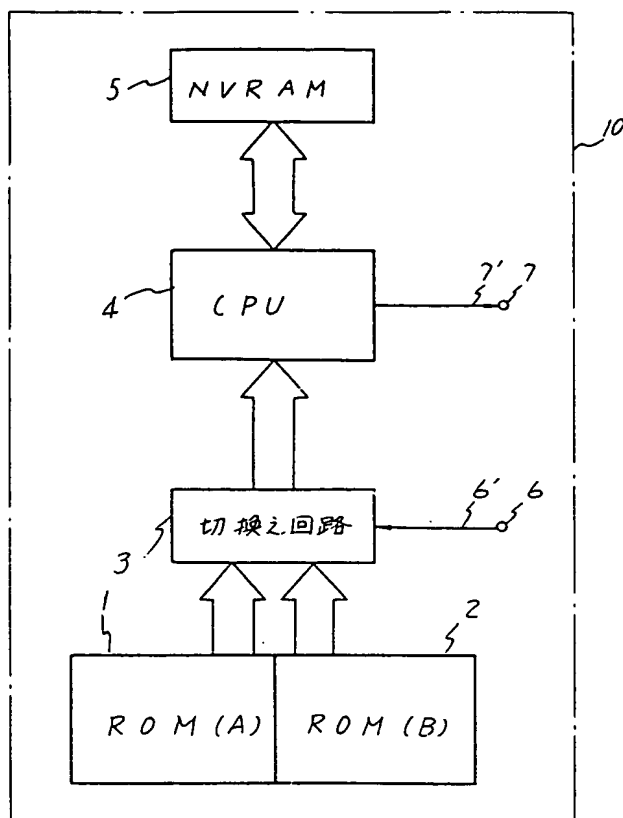
そして、NVRAM 5のテスト以外においては、外部端子6からの制御信号6'によりROM(A)1を選択し、通常のNVRAMを有するシングルチップマイコンとして機能する。

(発明の効果)

路、4……中央制御処理装置、5……不揮発性メモリ、6……外部端子、6'……制御信号、7……出力端子、7'……出力信号、10……シングルチップマイクロコンピュータ。

代理人 弁理士 内 原 晋





第 1 図